

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09127205

(43)Date of publication of application: 16.05.1997

(51)Int.Cl.

G01R 31/28  
G11C 29/00(21)Application number: 07309821  
(22)Date of filing: 02.11.1995(71)Applicant:  
(72)Inventor:HITACHI LTD  
NISHIYAMA MASAHICO  
HIGETA KEIICHI  
FUJIMURA YASUHIRO

(54) MEASURING METHOD FOR ACCESS TIME

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connecter/guest/DBPquery/ENGDB/wdispaj>

00/07/18

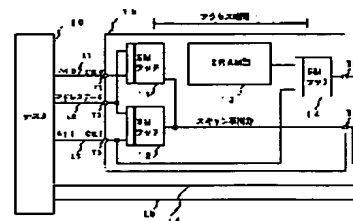
Searching PAJ

2/3 ページ

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a measuring method in which the accuracy of an access time measurement is enhanced.

**SOLUTION:** On the basis of the difference between the timing of a clock signal CK0 at a time when the clock signal CK0 is delayed in a very small time unit and when a target signal state is latched by an SM latch circuit 11 and the timing of a clock signal CK1 at a time when the clock signal CK1 is delayed in a very small time unit and when a target signal state is latched by an SM latch circuit 12, the difference in an electric length between conductive lines L1, L3 at the outside of an LSI 15 is found regarding the clock signals CK0, CK1. When the difference in the electric length is corrected, an error in an access time measurement due to the difference in the electric length is reduced, and the accuracy of the access time of an SRAM part 13 is enhanced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998 Japanese Patent Office

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connecter/guest/DBPquery/ENGDB/wdispaj>

00/07/18

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-127205

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	B
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 H

審査請求 未請求 請求項の数 5 F D (全 10 頁)

(21) 出願番号	特願平7-309821	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成7年(1995)11月2日	(72) 発明者	西山 雅彦 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(72) 発明者	日下田 恵一 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(72) 発明者	藤村 康弘 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74) 代理人	弁理士 玉村 静世

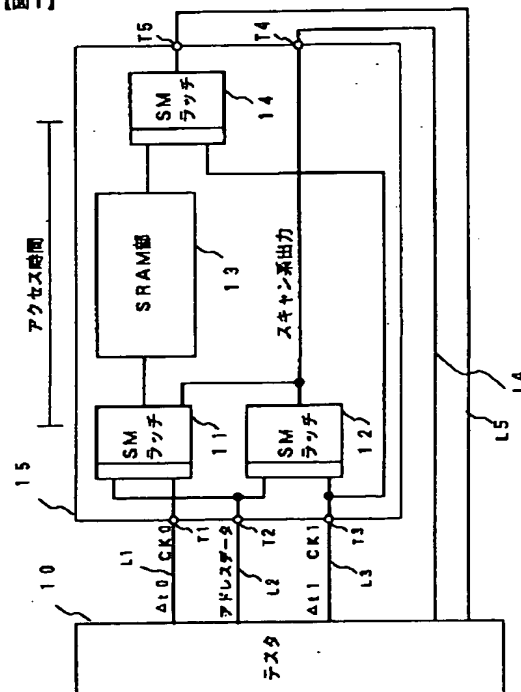
(54) 【発明の名称】 アクセス時間測定方法

(57) 【要約】

【課題】 アクセス時間測定の精度を向上させることにある。

【解決手段】 クロック信号CK0を微小時間単位で遅延していき、目的信号状態をSMラッチ回路11でラッチしたときのクロック信号CK0のタイミングと、クロック信号CK1を微小時間遅延していき、目的信号状態をSMラッチ回路12でラッチしたときのクロック信号CK1のタイミングとの差から、クロック信号CK0、CK1のそれぞれについてのLSI15の外部における導回路L1、L3での電気長の差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差を低減し、SRAM部13のアクセス時間の精度向上を図る。

【図1】



## 【特許請求の範囲】

【請求項1】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期してラッチ可能な第1ラッチ回路と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路とを含んで半導体集積回路が形成されるとき、この半導体集積回路における上記メモリ部のアクセス時間を測定するアクセス時間測定方法であって、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正することを特徴とするアクセス時間測定方法。

【請求項2】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期してラッチ可能な第1ラッチ回路と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路とを含んで半導体集積回路が形成されるとき、外部から供給される上記第2クロック信号の位相を変化させ、上記第1ラッチにラッチされたアドレス信号に対応するデータが上記第2ラッチ回路にラッチされたときの、上記第1クロック信号と上記第2クロック信号との位相差に基づいて、上記メモリ部のアクセス時間を測定するアクセス時間測定方法において、上記第1クロック信号の位相を変化させて、目的信号状態を上記第1ラッチ回路でラッチしたときの上記第1クロック信号のタイミングと、上記第2クロック信号の位相を変化させて、目的信号状態を上記第3ラッチ回路でラッチしたときの上記第2クロック信号のタイミングとの差から、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正することを特徴とするアクセス時間測定方法。

【請求項3】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号をクロック信号に同期してラッチ可能な第1ラッチ回路と、上記メモリ部からの出力データを上記クロック信号に同期してラッチ可能な第2ラッチ回路と、上記クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路とを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のパルス幅を変化させ、上記第3ラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅に基づいて、上記メモリ部のアクセス時間を測定するアクセス時間測定方法において、上記第2ラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅を固定した状態で、その位相を変化させ、上記第1ラッチ回路の出力論理の変化タイ

ミングと、上記第3ラッチ回路の出力論理の変化タイミングとの時間差を、上記メモリ部のアクセス時間として求めることを特徴とするアクセス時間測定方法。

【請求項4】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号をクロック信号の立上がりタイミングに同期してラッチ可能な第1スレーブ・マスタラッチ回路と、上記メモリ部からの出力データを上記クロック信号の立下がりタイミングに同期してラッチ可能なDラッチ回路と、上記クロック信号の立下がりタイミングに同期して上記アドレス信号をラッチ可能な第2SMラッチとを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のパルス幅を変化させて、上記Dラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅に基づいて、上記メモリ部のアクセス時間を測定するアクセス時間測定方法であって、

上記Dラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅を固定した状態で、その位相を変化させ、上記クロックの立上がりタイミングで上記第1スレーブ・マスタラッチ回路の出力論理が変化される第1タイミングと、上記クロックの立下がりタイミングで上記第2スレーブ・マスタラッチ回路の出力論理が変化される第2タイミングとの時間差を上記メモリ部のアクセス時間として求めることを特徴とするアクセス時間測定方法。

【請求項5】 上記半導体集積回路の外部端子をテストに結合させ、上記半導体集積回路への動作電源供給、及びクロック信号の供給、及び上記半導体集積回路からの出力信号の論理判定を、上記テストによって行うようにした請求項1乃至4のいずれか1項記載のアクセス時間測定方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置のアクセス時間測定技術に関し、例えばスタティック・ランダム・アクセス・メモリ（SRAMという）のアクセス時間測定に適用して有効な技術に関する。

## 【0002】

【従来の技術】半導体記憶装置の一例としてのSRAMは、複数のスタティック型メモリセルをマトリクス配置して成るメモリセルアレイを含む。スタティック型メモリセルの選択端子はロウ方向毎にワード線に結合され、メモリセルのデータ入出力端子はカラム方向毎に相補データ線に結合される。それぞれの相補データ線は、相補データ線に1対1で結合された複数のスイッチを含むカラムスイッチ回路介して相補コモンデータ線に共通接続されている。外部より入力されるアドレス信号は、ロウデコーダ、及びカラムデコーダに伝達される。ロウデコーダのデコード出力に基づいてワード線が選択レベルに駆動され、カラムデコーダのデコード出力に基

ついてカラム選択スイッチがオンされることにより、特定のメモリセルへのデータの書込み、又はメモリセルデータの読出しが可能とされる。

【0003】尚、SRAMについて記載された文献の例としては、特公昭57-21795号公報がある。

【0004】

【発明が解決しようとする課題】SRAMのアクセス時間は、LSIの各種試験を可能とするためのLSIテスト（以下、単に「テスト」という）と称される装置を用いて測定することができる。テストは、LSIの動作に必要な電源電圧や、クロック信号、及び各種制御信号を生成する機能を有し、試験対象とされるSRAMの外部端子に、所定のケーブルを介して結合されることによって、当該SRAMの各種動作試験を可能とする。アクセス時間は、SRAM内のアドレス信号ラッチ、及び出力ラッチにそれぞれ供給されるクロック信号の位相差を検出することによって、測定することができる。

【0005】テストから試験対象とされるSRAMに供給されるクロック信号の位相差の精度は、 $\pm 300\text{ps}$ 程度であり、それは、アクセス時間が $3\text{ns}$ 程度のSRAMのアクセス時間測定においては設計マージンの中に含めることができる。しかしながら、SRAMの動作の高速化により、アクセス時間が $1\text{ns}$ 程度に短縮されると、アクセス時間の測定誤差が大きくなるため、上記クロック信号位相差の精度を無視することができなくなる。

【0006】本発明の目的は、アクセス時間測定の精度を向上させるための技術を提供することにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、第1手段として、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期してラッチ可能な第1ラッチ回路（11）と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路（14）と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路（12）とを含んで半導体集積回路が形成されるとき、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正する。

【0010】さらに、具体的な態様では、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期して

ラッチ可能な第1ラッチ回路（11）と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路（14）と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路（12）とを含んで半導体集積回路が形成されるとき、外部から供給される上記第2クロック信号の位相を変化させ、上記第1ラッチにラッチされたアドレス信号に対応するデータが上記第2ラッチ回路にラッチされたときの、上記第1クロック信号と上記第2クロック信号との位相差に基づいて、上記メモリ部のアクセス時間を測定するに際して、上記第1クロック信号の位相を変化させ、目的信号状態を上記第1ラッチ回路でラッチしたときの上記第1クロック信号のタイミングと、上記第2クロック信号の位相を変化させ、目的信号状態を上記第3ラッチ回路でラッチしたときの上記第2クロック信号のタイミングとの差から、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正する。

【0011】また、第2手段として、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号をクロック信号に同期してラッチ可能な第1ラッチ回路（51）と、上記メモリ部からの出力データを上記クロック信号に同期してラッチ可能な第2ラッチ回路（52）と、上記クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路（53）とを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のパルス幅を変化させ、上記第3ラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅に基づいて、上記メモリ部のアクセス時間を測定するに際して、上記第2ラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅を固定した状態で、その位相を変化させ、上記第1ラッチ回路の出力論理の変化タイミングと、上記第3ラッチ回路の出力論理の変化タイミングとの時間差を、上記メモリ部のアクセス時間として求める。

【0012】さらに、具体的な態様としては、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号をクロック信号の立下がりタイミングに同期してラッチ可能な第1SMラッチ回路（51）と、上記メモリ部からの出力データを上記クロック信号の立下がりタイミングに同期してラッチ可能なDラッチ回路（52）と、上記クロック信号の立下がりタイミングに同期して上記アドレス信号をラッチ可能な第2SMラッチ（53）とを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のパルス幅を変化させ、上記Dラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅に基づいて、上記メモリ部のアクセス時間を測定するに際して、Dラッチ回路でのラッチデータが切替るときの上記クロ

ック信号のパルス幅を固定した状態で、その位相を変化させ、上記クロックの立上がりタイミングで上記第1SMラッチ回路の出力論理が変化される第1タイミングと、上記クロックの立下がりタイミングで上記第2SMラッチ回路の出力論理が変化される第2タイミングとの時間差を上記メモリ部のアクセス時間として求める。

【0013】上記した第1手段によれば、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差が低減され、このことが、アクセス時間の精度向上を達成する。

【0014】また、上記した第2手段によれば、第2ラッチ回路でのラッチデータが切替るときのクロック信号のパルス幅を固定した状態で、その位相を変化させ、第1ラッチ回路の出力論理の変化タイミングと、上記第2ラッチ回路の出力論理の変化タイミングとの時間差を、上記RAM部のアクセス時間として求めることは、導電路の電気長とは無関係にクロック信号のパルス幅を測定することができ、このことが、アクセス時間の精度向上を達成する。

【0015】

【発明の実施の形態】図1には、本発明の一実施例方法が適用されたアクセス時間測定回路が示される。

【0016】アクセス時間測定対象とされるLSI15は、特に制限されないが、SRAMとされ、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。LSI15はメモリ部の一例であるSRAM部13を有する。このSRAM部13は、図示されないが、スタティック型メモリセルを備え、このスタティック型メモリセルの選択端子はロウ方向毎にワード線に結合され、メモリセルのデータ入出力端子はカラム方向毎に相補データ線に結合される。それぞれの相補データ線は、相補データ線に1対1で結合された複数のスイッチを含むカラムスイッチ回路介して相補コモンデータ線に共通接続されている。外部より入力されるアドレス信号は、ロウデコーダ、及びカラムデコーダに伝達される。ロウデコーダのデコード出力に基づいてワード線が選択レベルに駆動され、カラムデコーダのデコード出力に基づいてカラム選択スイッチがオンされることにより、特定のメモリセルへのデータの書込み、又はメモリセルデータの読出しが可能とされる。また、図示されないが、外部から与えられる制御信号として、チップセレクト信号CS\*（\*はローアクティブ又は信号反転を意味する）や、ライトイネーブル信号WE\*がある。チップセレクト信号CS\*がローレベルにアサートされることによってチップ選択が行われ、また、そのように選択された状態で、ライトイネーブル信号WE\*がローレベルにアサートされた場合にメモリセルへのデータ書込みが可能とされる。

【0017】SRAM部13は、複数ビット構成のアドレス入力により、複数ビット構成のデータを出力可能に構成されるが、図1では、アクセス時間測定についての説明の便宜上、1ビットのアドレス信号の入力によって、1ビットデータが読出されるように示されている。アドレス端子T2からの入力アドレスは、SM（スレーブ・マスタ（マスタ・スレーブと称されることもある））ラッチ11を介してSRAM部13に入力されるようになっている。そして、SRAM部13からの出力データは、後段に配置されたSMラッチ14、及びデータ端子T5を介して外部出力可能とされる。SMラッチ11は、クロック端子T1を介して入力されたクロック信号CK0に同期して入力アドレスをラッチする。また、SMラッチ14は、クロック端子T3を介して入力されたクロック信号CK1に同期してSRAM部13からの出力データをラッチする。LSI15のアクセス時間は、後に詳述するが、SMラッチ11の出力アドレスに対応するデータがSMラッチ14にラッチされるとき、クロック信号CK0、CK1の位相差を検出することによって測定することができる。そのような測定方法において、クロック信号CK0、CK1の位相差の精度を上げるため、この実施例では、位相差補正を行うようにしており、その位相差補正用データを得るために、SMラッチ12が設けられている。このSMラッチ12は、クロック端子T3を介して入力されたクロック信号CK1に同期して入力アドレス信号をラッチする。SMラッチ11、12のスキュー系出力は、LSI15に設けられたスキュー系出力端子T4を介して外部出力可能とされる。

【0018】アクセス時間測定対象とされるLSI15は、テスト10に電氣的に結合される。この電氣的結合は、テスト10に設けられたLSIソケット（図示せず）にLSI15の外部端子を結合することによって達成され、テスト10とLSI15の外部端子との間には各種導電路が形成される。図1にはL1～L5で示される導電路が代表的に示される。導電路L1はクロック信号CK0の伝達路とされ、LSI15のクロック信号入力端子T1に結合される。導電路L2はアドレス信号の伝達路とされ、LSI15のアドレス端子T2に結合される。導電路L3はクロック信号CK1の伝達路とされ、LSI15のクロック端子T3に結合される。導電路L4はスキュー系出力データの伝達路とされ、LSI15のスキュー系出力端子T4に結合される。導電路L5はデータ伝達路とされ、LSI15のデータ端子T5に結合される。

【0019】図2には上記テスト10の機能ブロックが示される。

【0020】図2に示されるようにテスト10は、特に制限されないが、制御及びデータ処理部21、電源部22、電圧測定手段23、電流測定手段24、クロック信

号発生手段26、アドレス発生手段27、及び論理判定手段28を含む。

【0021】電源部22は、試験対象LSIの動作電源電圧を生成する機能を有し、LSI15の動作電源電圧は、この電源部22によって生成される。電圧測定部23、及び電流測定手段24は、それぞれ試験対象LSIの主要端子間電圧、及び主要端子間電流を測定する機能を有する。クロック信号発生手段26は、試験対象LSIに供給されるクロック信号を生成する。この実施例において、LSI15に供給されるクロック信号CK0、CK1はクロック信号発生手段26によって生成される。アドレス発生手段27は、試験対象LSIに供給されるアドレス信号を発生する機能を有する。この実施例では、LSI15に供給されるアドレス信号を生成する。論理判定手段28は、試験対象LSIからの出力論理を判定する機能を有する。この実施例では、LSI15のスクアン系出力端子T4、データ端子T5を介して伝達されたデータの論理を判定する。また、制御及びデータ処理手段21は、このテスト10の各部の動作制御、及び測定若しくは判定結果についての処理機能を有する。

【0022】次に、LSI15のアクセス時間測定について説明する。この実施例では、アクセス時間測定前に、クロック信号CK0、CK1の位相差補正のためのデータを収集し、それに基づくデータ補正により、アクセス時間測定の精度向上を図っている。

【0023】図3にはクロック信号補正データの収集についてのタイミングが示される。

【0024】尚、LSI15内において、クロック信号CK0、CK1の伝達系は等長配線とされて、そこでのスキューは無いものとする。

【0025】クロック信号補正データの収集においては、テスト21の論理判定手段28によって、スクアン系出力端子T4からの出力信号の論理が判定される。

【0026】先ず、テスト10から出力されるアドレスがローレベルからハイレベルに立上がるタイミングを固定する。便宜上、アドレスのローレベルをアドレスAとし、アドレスのハイレベルをアドレスBとする。テスト10とLSI15との間に形成される導電路L2の電気長により、テスト10から出力されたアドレスは、矢印31で示されるように遅延されてLSI15に入力される。

【0027】テスト10から出力されるクロック信号CK0についても、テスト10とLSI15との間に形成される導電路L1の電気長により、テスト10から出力されたクロック信号CK0は、矢印33で示されるように遅延されてLSI15に入力される。クロック信号CK0がSMラッチ11に入力され、その立上がりタイミングに同期して、SMラッチ11によりアドレス信号がラッチされる。クロック信号CK0は、テスト10によ

って、矢印32で示される方向に、微小時間単位で遅らされる。最初は、SMラッチ11によってアドレスAがラッチされるが、クロック信号CK0の立上がりタイミングが矢印32で示される方向に遅らされることにより、やがてアドレスBがラッチされるようになる。このラッチアドレスがAからBに変わったときのクロック信号CK0の立上がりタイミングを判定し、そのタイミングを $t_0$ とする。

【0028】クロック信号CK1についても、上記クロック信号CK0の場合と同様に微小時間単位で遅らせていき、SMラッチ12のラッチアドレスがAからBに変わったときのクロック信号CK1のタイミングを判定し、そのタイミングを $t_1$ とする。

【0029】クロック信号CK0、CK1についてのテスト10とLSI15との間の導電路における電気長を、それぞれ $\Delta t_0$ 、 $\Delta t_1$ とする。このときSMラッチ11、12によってそれぞれアドレスBをラッチできるタイミングは同じであるから、

$$t_0 + \Delta t_0 = t_1 + \Delta t_1 \quad \cdots \textcircled{1}$$

が成立する。つまり、導電路L1、L3の電気長の差 $\Delta t$ は、テスト10におけるクロック信号CK0、CK1の位相差に等しく、

$$\Delta t = \Delta t_0 - \Delta t_1 = t_1 - t_0$$

となる。導電路L1、L3の電気長の違いにより、クロック信号CK0、CK1間に位相差 $\Delta t$ を生じてしまうにもかかわらず、それを無視して、アクセス時間を測定したのでは、特にLSI15が高速であればあるほど、アクセス時間の測定誤差が大きくなる。そこで、この実施例では、上記位相差 $\Delta t$ を補正データとして、以下に述べるようにアクセス時間測定値を補正することによって、アクセス時間測定の高精度化を図っている。

【0030】図4にはアクセス時間測定についてのタイミングが示される。

【0031】先ず、SRAM部13に、所定のテストパターンが書込まれる。テストパターンは、テスト10によって行われ、そのテストパターン情報はテスト10に保存され、後述する論理判定において期待値として使用される。

【0032】アドレス信号の立上がりタイミング、及びクロック信号CK0の立上がりタイミングを固定しておく。そして、その場合のクロック信号CK0の立上がりタイミングを $t_{00}$ で示す。

【0033】また、SMラッチ11によってアドレスAがラッチされるように、クロック信号CK1の立上がりタイミングを調整する。

【0034】次に、アドレスBに対応するところのSRAM部13からの出力データが、SMラッチ14にラッチされるまで、テスト10から出力されるクロック信号CK1の立上がりタイミングを少しずつ、例えば50psずつ遅らせていく。つまり、クロック信号CK1の立上

がりタイミングが遅延される毎に、論理判定手段28により、SMラッチ14の出力論理が判定される。SMラッチ14では、最初はアドレスAに対応する出力データがラッチされるが、上記クロック信号CK1の遅延により、やがて、アドレスBに対応する出力データがラッチされるようになる。そのため、論理判定手段28では、SMラッチ14の出力論理が期待値と一致したか否か、つまり、アドレスBに対応するデータがSMラッチ14によってラッチされたか否かの判定を行う。この判定において、SMラッチ14の出力論理が期待値と一致したと判断された場合に、上記クロック信号CK1の遅延が終了される。SMラッチ14のラッチされたデータが、アドレスAに対応するものから、アドレスBに対応するものに変化されたタイミングをも11で示す。

【0035】基本的に、SRAM部13のアクセス時間は、 $t_{11}-t_{00}$ によって求められる。しかし、上記したように、実際には導電路L1、L3の電気長が異なり、クロック信号CK0、CK1の位相差の精度が低下されているため、上記 $t_{11}-t_{00}$ を、先に求められた補正データ $\Delta t$ で補正する。つまり、SRAM部13のアクセス時間Tは、

$$T=t_{11}-t_{00}+\Delta t \quad \cdots \textcircled{2}$$

とされ、そのように補正データ $\Delta t$ が考慮されることにより、SRAM13のアクセス時間を精度良く測定することができる。

【0036】上記実施例によれば、以下の作用効果を得ることができる。

【0037】クロック信号CK0を微小時間単位で遅延していき、目的信号状態をSMラッチ回路11でラッチしたときのクロック信号CK0のタイミングと、クロック信号CK1を微小時間遅延していき、目的信号状態をSMラッチ回路12でラッチしたときのクロック信号CK1のタイミングとの差から、クロック信号CK0、CK1のそれぞれについてのLSI15の外部における導電路L1、L3での電気長の差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差を低減することができ、それにより、SRAM部13のアクセス時間の精度向上を図ることができる。

【0038】次に、他の実施例について説明する。

【0039】図5には、本発明の他の実施例方法が適用されたアクセス時間測定回路が示される。

【0040】アクセス時間測定対象とされるLSI54は、特に制限されないが、SRAMとされ、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。LSI54はSRAM部13を有する。このSRAM部13は、図1に示されるものと同一構成とされる。すなわち、スタティック型メモリの選択端子はロウ方向毎にワード線に結合され、メモリのデータ入出力端子はカラム方向毎に相補データ線に結合され、それぞれの相補データ線は、相

補データ線に1対1で結合された複数のスイッチを含むカラムスイッチ回路介して相補コモンデータ線に共通接続されている。外部より入力されるアドレス信号は、ロウデコード及びカラムデコードに伝達される。ロウデコードのデコード出力に基づいてワード線が選択レベルに駆動され、カラムデコードのデコード出力に基づいてカラム選択スイッチがオンされることにより、特定のメモリセルへのデータの書込み、又はメモリセルデータの読出しが可能とされる。

【0041】SRAM部13は、複数ビット構成のアドレス入力により、複数ビット構成のデータを出力可能に構成されるが、アクセス時間測定についての説明の便宜上、1ビットのアドレス信号の入力によって、1ビットデータが読出されるように示されている。アドレス端子T6からの入力アドレスは、SMラッチ51を介してSRAM部13に入力されるようになっている。そして、SRAM部13からの出力データは、後段に配置されたD型ラッチ（Dラッチという）52、及びデータ端子T8を介して外部出力可能とされる。Dラッチ52は、クロック信号CK1の立下がりタイミングに同期してSRAM部13からの出力データをラッチする。SMラッチ51、52は、クロック端子T7を介して入力されたクロック信号CK1に同期して入力アドレスをラッチする。ただし、SMラッチ51は、クロック信号CK1の立下がりタイミングで入力アドレスをラッチするのに対して、SMラッチ53は、クロック信号CK1の立下がりタイミングに同期して入力アドレスをラッチする。Dラッチ52の出力信号、及びスキャン系出力信号は、それぞれデータ端子T8、及びスキャン系出力端子T9を介して、テスト10に伝達されるようになっている。

【0042】図6にはアクセス時間測定のタイミングが示される。

【0043】テスト10から出力されたアドレス信号及びクロック信号CK1は、それぞれ矢印61、62で示されるように遅延されてLSI54に入力される。クロック信号CK1の立下がりタイミングに同期してSMラッチ51によって入力アドレスがラッチされ、クロック信号CK1の立下がりタイミングに同期して、SRAM部13の出力データがDラッチ52にラッチされる。図6に示されるタイミングでは、クロック信号CK1の立下がりタイミングにおいて、アドレスBに対応するところのSRAM部13の出力データが、Dラッチ52にラッチされるようになっているが、テスト10側で上記クロック信号CK1のバース幅を徐々に狭くしていくと、それまでラッチ可能だった、アドレスBに対応するデータに代えて、アドレスAに対応するデータがラッチされるようになる。Dラッチ52の出力データの論理をテスト10の論理判定手段28で判定することにより、Dラッチ52の保持データがアドレスBに対応するものからアドレスAに対応するものに変化するタイミングを把握

することができる。そこで、上記のようにクロック信号CK1のパルス幅を徐々に狭くしていった場合において、Dラッチ52の保持データがアドレスAに対応するものに变化する直前のクロック信号CK1のパルス幅が、このSRAM部13のアクセス時間に相当する。このクロック信号CK1のパルス幅は、以下の方法により、精度良く求めることができる。

【0044】図7にはクロックCK1のパルス幅測定のタイミングが示される。

【0045】上記クロックCK1の幅を固定した状態で、図7の矢印71で示されるように、上記クロックCK1を位相を変化させる。スキャン系出力端子T9（図5参照）からの出力信号の論理をテスト10の論理判定手段28で判定することにより、クロックCK1の立上がりタイミングで、SMラッチ51にラッチされるアドレス信号がAからBに切替る第1タイミングを求める。同様に、上記クロックCK1を位相を変化させることにより、今度は、クロックCK1の立下がりタイミング（CK1\*としては立上がりタイミング）で、SMラッチ53に保持されるアドレス信号がAからBに切替る第2タイミングを求める。この第1タイミングと第2タイミングとの時間差が、クロックCK1の求めようとするパルス幅である。このように、クロックCK1のパルス幅を固定した状態で、その位相を変化させ、SMラッチ51、52にそれぞれラッチされるアドレス信号の切替りタイミングを求めることにより、LSI54の端子T6、T7の位置でのクロック信号CK1の幅を測定することができるので、例えば、テスト10とLSI54との間の導電路L6、L7の電気長が存在しても、それとは無関係に、上記クロックCK1のパルス幅、すなわち、図5に示される測定回路におけるアクセス時間を精度良く求めることができる。

【0046】上記実施例によれば、以下の作用効果を得ることができる。

【0047】Dラッチ回路52でのラッチデータが切替るときのクロック信号のパルス幅を固定した状態で、その位相を変化させ、SMラッチ回路51の出力論理の変化タイミングと、上記SMラッチ回路53の出力論理の変化タイミングとの時間差を、上記RAM部のアクセス時間として求めることにより、導電路の電気長とは無関係にクロック信号のパルス幅を測定することができるので、アクセス時間の精度向上を図ることができる。

【0048】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0049】例えば、上記実施例では、アクセス時間測定についての説明の便宜上、1ビットのアドレス信号の入力によって、1ビットデータが読出されるようにしたが、実際には、SRAMへの入力アドレスは複数ビット

構成であり、また、SRAM部14のI/Oについても複数ビット構成の場合が多い。その場合において、SMラッチ11、12、51、53は、アドレスのビット構成に対応してそれぞれ複数個配置され、また、SMラッチ14やDラッチ52は、I/Oの構成ビット数に対応して複数個配置される。

【0050】また、LSI15内にマイクロコンピュータやその他の機能モジュールが配置された半導体集積回路などにおいても、SRAM13の存在により、そのアクセス時間の測定が可能となる。また、SRAM部13に代えて、ダイナミックRAM部など、その他の半導体記憶部を備える場合においても、その記憶部のアクセス時間の測定が可能とされる。

【0051】さらに、図1～図4に示される実施例においては、補正データ $\Delta t$ を使用して、上記②式により補正するようにしたが、そのような補正に代えて、補正データ $\Delta t$ に基づいてクロックCK0、CK1自体の位相を補正するようにしても良い。

【0052】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSRAM部のアクセス時間測定に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体メモリのアクセス時間測定に適用することができる。

【0053】本発明は、少なくとも半導体集積回路にRAM部が含まれることを条件に適用することができる。

【0054】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0055】すなわち、第1クロック信号、及び第2クロック信号のそれぞれについての半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差を低減することができ、それにより、アクセス時間の精度向上を図ることができる。

【0056】また、第2ラッチ回路でのラッチデータが切替るときのクロック信号のパルス幅を固定した状態で、その位相を変化させ、第1ラッチ回路の出力論理の変化タイミングと、第2ラッチ回路の出力論理の変化タイミングとの時間差を、RAM部のアクセス時間として求めることにより、導電路の電気長とは無関係にクロック信号のパルス幅を測定することができるので、アクセス時間の精度向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例方法が適用されたアクセス時間測定回路のブロック図である。

【図2】上記アクセス時間測定で使用されるテストの機能ブロック図である。

【図3】上記アクセス時間測定で使用されるクロック信



号補正データの収集についてのタイミング図である。

【図4】上記アクセス時間測定についてのタイミング図である。

【図5】本発明の他の実施例方法が適用されたアクセス時間測定回路のブロック図である。

【図6】図5に示される回路でのアクセス時間測定のタイミング図である。

【図7】図5に示される回路でのパルス幅測定のタイミング図である。

【符号の説明】

10 テスタ

11, 12, 14, 51, 53 SMラッチ

13 SRAM部

15 半導体記憶装置

21 制御及びデータ処理手段

22 電源部

23 電圧測定手段

24 電流測定手段

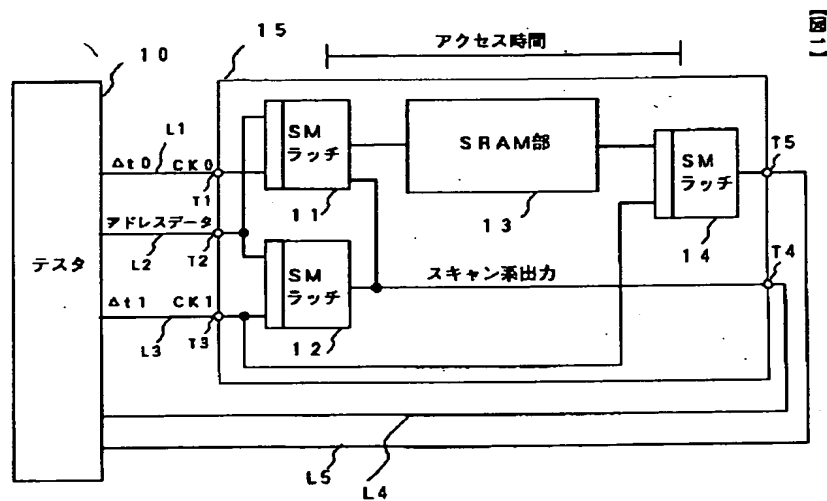
26 クロック発生手段

27 アドレス発生手段

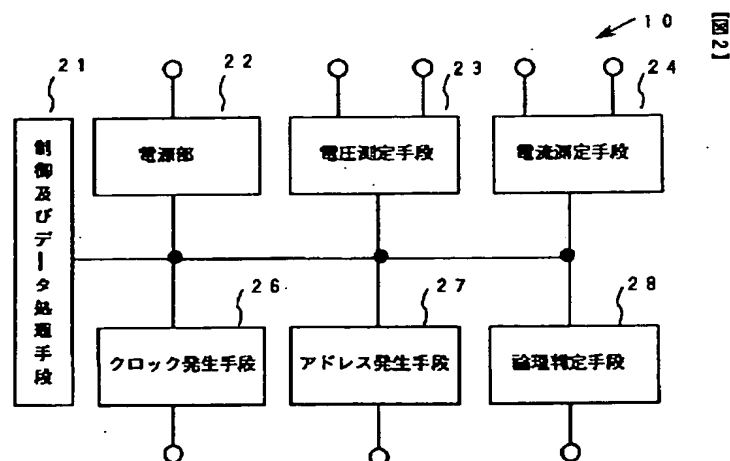
28 論理判定手段

52 Dラッチ

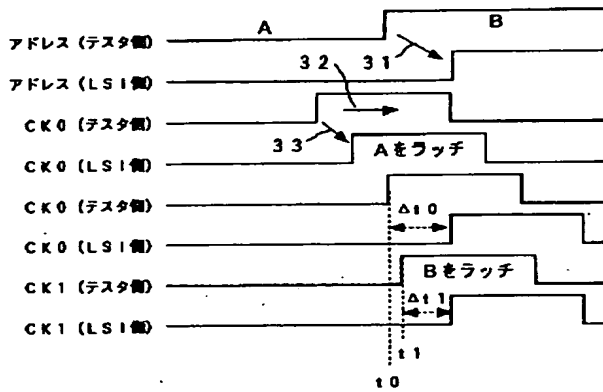
【図1】



【図2】

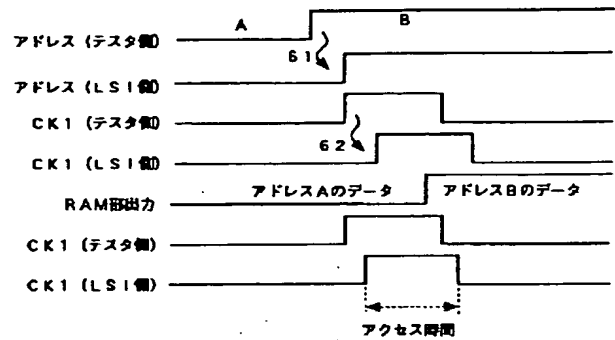


【図3】



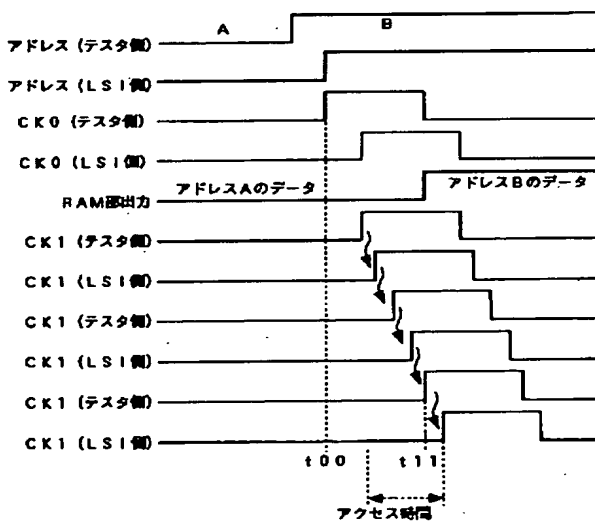
【図6】

【図3】



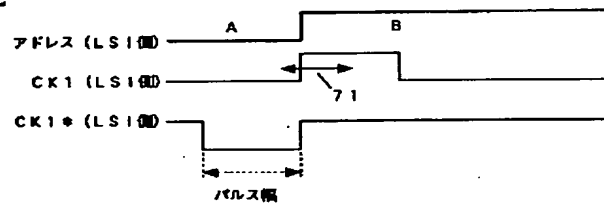
【図6】

【図4】



【図7】

【図4】



【図7】

【図5】

